

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354702

(43)Date of publication of application : 24.12.1999

(51)Int.Cl.

H01L 23/48

(21)Application number : 11-152080

(71)Applicant : SILICONIX INC

(22)Date of filing : 31.05.1999

(72)Inventor : Y MOHAMMED KASEM
ANTHONY C TSUI
RISONG RAO
YUE-SE HO

(30)Priority

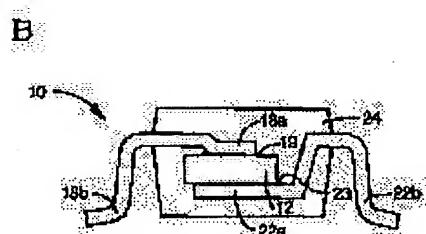
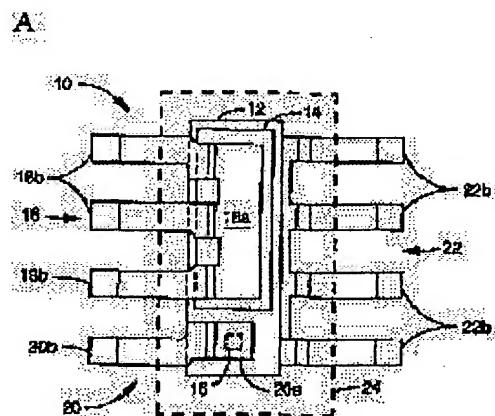
Priority number : 98 89310 Priority date : 02.06.1998 Priority country : US

(54) IC CHIP PACKAGE WITH DIRECTLY FIXED LEADS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device structure which reduces the ON- resistance and superior radiation characteristics.

SOLUTION: A semiconductor device has a semiconductor chip 12 having a contact region on an upper and lower surface, first and second lead assemblies are each made from a half-hard sheet of a conductive material and have lead assembly contacts each separately mounted on one contact region of the semiconductor chip 12, the first and second lead assemblies are connected to the respective lead assembly contacts and have at least one lead extending therefrom, a seal body seals the semiconductor chip 12 and lead assembly contacts of the first and second lead assemblies, and since the lead assemblies are directly coupled with chip, the electric and thermal resistances concerning the package become lower.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-354702

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.*

H 01 L 23/48

識別記号

F I

H 01 L 23/48

L

M

R

審査請求 未請求 請求項の数27 OL (全 18 頁)

(21)出願番号 特願平11-152080

(22)出願日 平成11年(1999)5月31日

(31)優先権主張番号 09/089310

(32)優先日 1998年6月2日

(33)優先権主張国 米国(US)

(71)出願人 591077450

シリコニックス・インコーポレイテッド
SILICONIX INCORPORATED
アメリカ合衆国カリフォルニア州95054・
サンタクララ・ローレルウッドロード
2201

(72)発明者 ワイ・モハメド・カセム
アメリカ合衆国カリフォルニア州95054・
サンタクララ・レジナコート 2321

(74)代理人 弁理士 大島 関一

最終頁に続く

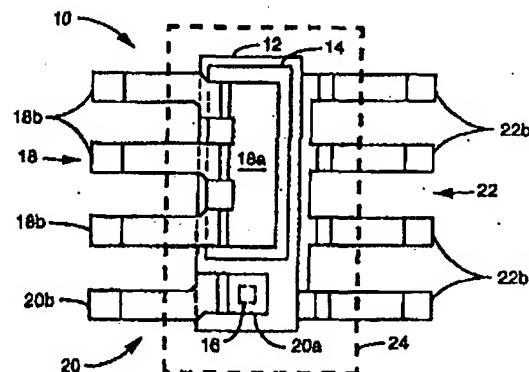
(54)【発明の名称】直付リード線を備えるICチップパッケージ

(57)【要約】

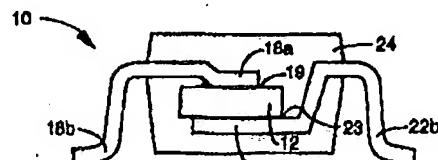
【課題】 オン抵抗を低減すると共に、放熱特性に優れた半導体デバイス構造を提供する。

【解決手段】 半導体デバイスは上側或いは下側表面上にコンタクト領域を有する半導体チップを備える。第1及び第2のリードアセンブリはそれぞれ、導電性材料の半硬質シートから形成され、半導体チップのコンタクト領域のそれぞれ別々の1つに取着されるリードアセンブリコンタクトを備える。また第1及び第2のリードアセンブリはそれぞれ、リードアセンブリコンタクトに接続され、そこから延在する少なくとも1本のリード線を備える。封入体が半導体チップ、第1のリードアセンブリのリードアセンブリコンタクト及び第2のリードアセンブリのリードアセンブリコンタクトを封入する。リードアセンブリをチップに直結することによりパッケージが関与する電気的及び熱的抵抗は低くなる。

A



B



【特許請求の範囲】

- 【請求項1】 半導体デバイスであって、上側及び下側表面を備え、前記上側及び下側表面のうちの選択された1つにおいて複数のコンタクト領域を備える半導体ダイと、前記半導体ダイの前記コンタクト領域の第1の領域に取着されるリードアセンブリコンタクトを備え、前記リードアセンブリコンタクトに接続される少なくとも1本のリード線をさらに備える第1の半硬質のリードアセンブリと、前記半導体ダイの前記コンタクト領域の第2の領域に取着されるリードアセンブリコンタクトを備え、前記リードアセンブリコンタクトに接続される少なくとも1本のリード線をさらに備える第2の半硬質のリードアセンブリと、前記半導体ダイ、前記第1のリードアセンブリの前記リードアセンブリコンタクト及び前記第2のリードアセンブリの前記リードアセンブリコンタクトを封入する封入体とを備えることを特徴とする半導体デバイス。
- 【請求項2】 前記半導体ダイの第3のコンタクト領域に取着されるリードアセンブリコンタクトを備える第3の半硬質のリードアセンブリをさらに備え、前記第3のコンタクト領域が前記第1及び第2のコンタクト領域を備える表面と反対側をなす前記半導体ダイの表面上に配置されることを特徴とする請求項1に記載の半導体デバイス。
- 【請求項3】 前記半導体が、前記第3のリードアセンブリの前記リードアセンブリコンタクトの下側表面を露出するように前記第3のリードアセンブリの一部を封入することを特徴とする請求項2に記載の半導体デバイス。
- 【請求項4】 前記第3のリードアセンブリがさらに前記第3のリードアセンブリの前記リードアセンブリコンタクトに接続される少なくとも1本のリード線を備えることを特徴とする請求項2に記載の半導体デバイス。
- 【請求項5】 前記第1のリードアセンブリの前記リードアセンブリコンタクトを前記半導体ダイの前記第1のコンタクト領域に取着する接着層をさらに備えることを特徴とする請求項1に記載の半導体デバイス。
- 【請求項6】 前記第1のリードアセンブリの前記リード線がガルウイング形状をなすことを特徴とする請求項1に記載の半導体デバイス。
- 【請求項7】 前記半導体ダイの前記第1及び第2のコンタクト領域が前記半導体ダイの下側表面上に形成され、前記封入体が、リードレスチップキャリアパッケージを形成するように前記第1及び第2のリードアセンブリの各リード線の一部を封入することを特徴とする請求項1に記載の半導体デバイス。
- 【請求項8】 半導体パッケージであって、上側及び下側表面を備え、前記上側及び下側表面のうち

- の選択された1つにおいて複数のコンタクト領域を備える半導体チップと、導電性材料の半硬質シートから形成され、前記半導体チップの前記コンタクト領域の第1の領域に取着されるリードアセンブリコンタクトを備え、さらに前記リードアセンブリコンタクトに接続され、そこから延在する少なくとも1本のリード線を備える第1のリードアセンブリと、導電性材料の半硬質のシートから形成され、前記半導体チップの前記コンタクト領域の第2の領域に取着されるリードアセンブリコンタクトを備え、さらに前記リードアセンブリコンタクトに接続され、そこから延在する少なくとも1本のリード線を備える第2のリードアセンブリと、前記半導体チップ、前記第1のリードアセンブリの前記リードアセンブリコンタクト及び前記第2のリードアセンブリの前記リードアセンブリコンタクトを封入する封入体とを備えることを特徴とする半導体パッケージ。
- 【請求項9】 前記半導体ダイの第3のコンタクト領域に取着されるリードアセンブリコンタクトを備える第3の半硬質のリードアセンブリをさらに備え、前記第3のコンタクト領域が前記第1及び第2のコンタクト領域を備える表面と反対側をなす前記半導体ダイの表面上に配置されることを特徴とする請求項8に記載の半導体デバイス。
- 【請求項10】 前記封入体が、前記第3のリードアセンブリが前記リードアセンブリコンタクトの下側表面を露出するように前記第3のリードアセンブリの一部を封入することを特徴とする請求項9に記載の半導体デバイス。
- 【請求項11】 前記第1及び第2のリードアセンブリのそれぞれの前記コンタクト領域が、前記半導体チップの表面積より小さい表面積を有することを特徴とする請求項8に記載に半導体デバイス。
- 【請求項12】 前記第1のリードアセンブリの前記リードアセンブリコンタクトを、前記半導体ダイの前記第1のコンタクト領域に取着する接着層をさらに備えることを特徴とする請求項8に記載の半導体デバイス。
- 【請求項13】 前記半導体ダイの前記第1及び第2のコンタクト領域が前記半導体ダイの前記下側表面上に形成され、前記封入体が、リードレスチップキャリアパッケージを形成するように前記第1及び第2のリードアセンブリの各リード線の一部を封入することを特徴とする請求項8に記載の半導体デバイス。
- 【請求項14】 半導体デバイスを製造するための方法であって、前記半導体ダイに対して前記第1及び第2のコンタクト領域を備える半硬質の前記リードフレームストリップを配置し、リードフレームストリップの第1及び第2のコンタクト領域を半導体ダイの第1及び第2のコンタクト

領域にそれぞれ配列する過程と、

前記半導体ダイに前記リードフレームストリップを取着し、前記リードフレームストリップの前記第1及び第2のコンタクト領域と、それぞれ前記半導体ダイの前記第1及び第2のコンタクト領域との間に電気的コンタクトを確立する過程と、

電気的絶縁性封入体において前記半導体ダイ及び前記リードフレームストリップの前記第1及び第2のコンタクト領域を封入する過程とを有することを特徴とする方法。

【請求項15】 前記半導体ダイに前記リードフレームストリップを取着する過程が、半導体ダイの第1の表面上の第1及び第2のコンタクト領域上に電気的導電性接着剤を被着する過程を含むことを特徴とする請求項14に記載の方法。

【請求項16】 導電性材料の半硬質シートから前記リードフレームストリップを形成する過程をさらに有することを特徴とする請求項14に記載の方法。

【請求項17】 接続用材料を除去するために前記リードフレームストリップ上の複数のリード線をトリミングする過程をさらに有することを特徴とする請求項14に記載の方法。

【請求項18】 前記リード線をプリント回路基板上に実装するために選択された形状に成形する過程をさらに有することを特徴とする請求項14に記載の方法。

【請求項19】 プリント回路基板上に前記半導体デバイスを実装する過程をさらに有することを特徴とする請求項14に記載の方法。

【請求項20】 前記半導体ダイに対する前記コンタクト領域を備える前記第2のリードフレームストリップを配置し、第2のリードフレームストリップのコンタクト領域を半導体ダイの第2の表面上のコンタクト領域に配列させる過程と、

前記第2のリードフレームストリップを前記半導体ダイに適用し、前記第2のリードフレームストリップの前記コンタクト領域と前記半導体ダイの第2の表面上の前記コンタクト領域との間に電気的コンタクトを確立する過程をさらに有することを特徴とする請求項14に記載の方法。

【請求項21】 パワーMOSFET集積回路チップパッケージであって、
上側及び下側表面を備え、前記上側及び下側表面のうちの選択された1つにおいて複数のコンタクト領域を備え、さらに前記上側及び下側表面間に電流を流すためにその上に形成される複数のパワーMOSFETを備える半導体ダイと、

前記半導体ダイの前記コンタクト領域の第1の領域に取着されるリードアセンブリコンタクトを備え、さらに前記リードアセンブリコンタクトに接続される少なくとも1本のリード線を備え且第1の半硬質のリードアセンブ

リと、

前記半導体ダイの前記コンタクト領域の第2の領域に取着されるリードアセンブリコンタクトを備え、さらに前記リードアセンブリコンタクトに接続される少なくとも1本のリード線を備える第2の半硬質のリードアセンブ

リと、
前記半導体ダイ、前記第1のリードアセンブリの前記リードアセンブリコンタクト及び前記第2のリードアセンブリの前記リードアセンブリコンタクトを封入する封入体とを備えることを特徴とするパワーMOSFET集積回路チップパッケージ。

【請求項22】 前記半導体ダイの第3のコンタクト領域に取着されるリードアセンブリコンタクトを備える第3の半硬質のリードアセンブリをさらに備え、前記第3のコンタクト領域が前記第1及び第2のコンタクト領域を備える前記表面と反対側をなす前記半導体ダイの表面上に配置されることを特徴とする請求項21に記載のパワーMOSFET集積回路チップパッケージ。

【請求項23】 前記封入体が、前記第3のリードアセンブリの前記リードアセンブリコンタクトの下側表面上を露出するように前記第3のリードアセンブリの一部を封入することを特徴とする請求項22に記載のパワーMOSFET集積回路チップパッケージ。

【請求項24】 前記第3のリードアセンブリがさらに前記第3のリードアセンブリの前記リードアセンブリコンタクトに接続される少なくとも1本のリード線を備えることを特徴とする請求項22に記載のパワーMOSFET集積回路チップパッケージ。

【請求項25】 前記第1のリードアセンブリの前記リードアセンブリコンタクトを前記半導体ダイの前記第1のコンタクト領域に取着する接着層をさらに備えることを特徴とする請求項21に記載のパワーMOSFET集積回路チップパッケージ。

【請求項26】 前記第1のリードアセンブリの前記リード線がガルウイング形状をなすことを特徴とする請求項21に記載のパワーMOSFET集積回路チップパッケージ。

【請求項27】 前記半導体ダイの前記第1及び第2のコンタクト領域が前記半導体ダイの下側表面上に形成され、前記封入体が、リードレスチップキャリアパッケージを形成するように前記第1及び第2のリードアセンブリの各リード線の一部を封入することを特徴とする請求項21に記載のパワーMOSFET集積回路チップパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体デバイスに関連し、詳細には直付リード線を備える集積回路（IC）チップパッケージに関する。

50 『0002』

【従来の技術】電力半導体、特にパワーMOSFETの分野では製品の性能は、高電流時に理想的なスイッチとして動作する能力により確定される。それゆえその性能は、オフ状態時にほぼ無限抵抗を与え、オン状態時にはほぼゼロ抵抗を与える能力に依存する。

【0003】パワーMOSFET技術における最近の進歩により、パワーMOSFETデバイスの半導体構成要素のオン状態抵抗は著しく低減されているが、コンタクト金属配線抵抗及びパッケージ抵抗がデバイスのオン状態抵抗のかなりの部分を占めている。従ってオン状態抵抗をさらに著しく低減するために、金属配線抵抗及びパッケージ抵抗が低減されなければならない。

【0004】さらにパワーMOSFETデバイスの抵抗は熱を発生するが、高性能を維持するためには熱は除去されなければならない。パワーMOSFETデバイスの冷却は現在のデバイス構造により根本的に制限される。縦型パワーMOSFETデバイスの場合においても、パワーMOSFETデバイスにおいて発生する熱の大部分は半導体ダイの上側10ミクロンにおいて発生する。セラミックパッケージのような熱伝導性パッケージは高価であるため、典型的にはプラスチックのような断熱性パッケージ材料が用いられる。こうして冷却表面に到達するためには、ダイの上側表面付近で発生した熱は、熱の総量の一部しか伝導することができないポンディングワイヤ及びリード線或いはその半導体の何れかを介してダイの背面側まで伝達されなければならない。シリコンの熱伝導性は著しく変化させることはできないため、熱の除去を著しく改善ためには、ダイの上側から良好に熱を移動させるデバイス構造にする必要がある。

【0005】

【発明が解決しようとする課題】オン抵抗を低減すると共に、放熱特性に優れた半導体デバイス構造を提供する。

【0006】

【課題を解決するための手段】従って従来技術の不都合な点及び欠点を処理する半導体デバイスが必要とされる。特にパッケージからの電気的及び熱的抵抗を低減した半導体デバイスが必要とされる。

【0007】従って改善された半導体デバイスが開示される。ある実施例では、半導体デバイスは上側或いは下側表面の何れかに複数のコンタクト領域を有する半導体チップを備える。第1のリードアセンブリは、導電性材料からなる半硬質のシートから形成され、半導体チップのコンタクト領域の1つに取着されるリードアセンブリコンタクトを備える。第1のリードアセンブリは、リードアセンブリコンタクトに接続され、そこから延在する少なくとも1本のリード線を備える。第2のリードアセンブリも導電性材料の半硬質のシートから形成されており、半導体チップのコンタクト領域の別の1つに取着されるリードアセンブリコンタクトを備える。第2のリード

ドアセンブリは、リードアセンブリコンタクトに接続され、そこから延在する少なくとも1本のリード線を備える。封入体が半導体チップ、第1のリードアセンブリのリードアセンブリコンタクト及び第2のリードアセンブリのリードコンタクトを封入する。

【0008】本発明の技術的な利点は、半導体デバイスにおいてパッケージが関与する電気的及び熱的抵抗が低いという点である。本発明の別の技術的な利点は、チップよりも小さなチップコンタクト領域を有するリードフレームが用いられ、それによりパッケージサイズが小さくなり、プリント回路基板上で利用可能な制限された表面積をより効率的に利用できるという点である。さらに別の技術的な利点は、半導体デバイスがリード線付パッケージ或いはリードレスチップキャリアパッケージの何れとして形成されてもよいという点である。

【0009】

【発明の実施の形態】本発明の特徴及び利点をより完全に理解するために、ここで添付の図面と共に取り上げられる以下の説明を参照されたい。

【0010】本発明の好適な実施例及びその利点は、図1A～図8Bの図面を参照することにより明確に理解されよう。同様の参照番号が、種々の図面における同様の及び対応する部品を示すために用いられる。

【0011】図1A及び図1Bでは、本発明に従って構成されたパワーMOSFETパッケージ10がそれぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ10では、パワーMOSFETチップ或いはダイ12が共通のコンタクト領域により駆動される縦型MOSFET(明示されず)のアレイを備える。パワーMOSFETチップ12は、例えば1997年9月9日にRichard K. Williams及びMoham mad Kaseemに付与された「Vertical Power MOSFET Having Thick Metal Layer to Reduce Distributed Resistance」というタイトルの米国特許第5,665,996号に従って製造することができ、該特許は参照して本明細書の一部としている。別法ではチップ12は任意の半導体集積回路チップであってもよい。

【0012】チップ12の上側のソースコンタクト領域14及びゲートコンタクト領域16はそれぞれアルミニウム、ニッケル或いは銅のような導電性金属から形成される金属配線層で覆われる。同様にチップ下側のドレインコンタクト領域(図示せず)も金属配線層で覆われる。ソースリードアセンブリ18はチップ12のソースコンタクト領域14と接触するコンタクト領域18aを備える。ソースリードアセンブリ18のコンタクト領域18aは、電気的導電性接着層19によりチップ17ソースコンタクト領域14と接触状態に保持される。3本のソースリード線18bはコンタクト領域18aから延

在し、プリント回路基板との電気的コンタクトを与える。

【0013】リードアセンブリ18は、例えば250ミクロン(約0.01インチ)の厚さを有する銅合金のような金属のシートから形成される。リードアセンブリ18は、ここで記載される他のリードアセンブリも同様であるが、約127~1270ミクロン(5~50ミル)の厚さを有することが好ましい。アルミニウムのような他の電気的導電性金属がソースリードアセンブリ18に用いられてもよい。

【0014】ソースリードアセンブリ18上のコンタクト領域18aは、ソースコンタクト領域14の大部分との電気的コンタクトを保持する。コンタクト領域18aがソースコンタクト領域14を形成する金属配線層より厚いため、コンタクト領域18aはソースコンタクト領域14より分布抵抗が小さい。それゆえコンタクト領域18aはソースコンタクト領域14の表面間で生じる電圧降下を排除するか或いは低減することができるが、そうでなければ従来のボンディングワイヤコンタクトのような小さな領域のコンタクトを用いて、ソースコンタクト領域14の一部と電気的に接触する場合には、電圧降下が生じてしまうであろう。またソースリード線18bは、従来のボンディングワイヤより低い電気的抵抗をもたらし、それによりパワーMOSFETパッケージ10のパッケージ抵抗を著しく低減する。

【0015】ソースリードアセンブリ18と同様に、ゲートリードアセンブリ20はチップ12のゲートコンタクト領域16と接触するコンタクト領域20aを備える。ゲートリードアセンブリ20のコンタクト領域20aは、電気的導電性接着層19によりチップ12のゲートコンタクト領域16と接触状態に保持される。ゲートリードアセンブリ20をゲートコンタクト領域16に固定する接着層19部分は、当然ソースリードアセンブリ18をチップ12のソースコンタクト領域14に固定する接着層19部分から分離される(非接触状態になる)。1本のゲートリード線20bがコンタクト領域20aから延在し、プリント回路基板との電気的コンタクトを与える。

【0016】同様にドレンリードアセンブリ22は、チップ12の下側のドレンコンタクト領域と接触するコンタクト領域22a及びコンタクト領域22aから延在する4本のドレンリード線22bを備え、プリント回路基板との電気的コンタクトを与える。ドレンリードアセンブリ22のコンタクト領域22aは、電気的導電性接着層23によりチップ12のドレンコンタクト領域と接触状態に保持される。

【0017】プラスチック製封入体24はチップ12、リードアセンブリ18、20及び22のコンタクト領域18a、20a及び22a並びにリード線18b、20b及び22bの部分を封入する。封入体24は、チップ

12を外部から電気的及び熱的に絶縁し、同時にパワーMOSFETパッケージ10に構造的な支持及び剛性を与える。封入体24は、エポキシノボラック系成形材料のような任意の既知の封入体であってもよい。

【0018】パワーMOSFETパッケージ10の製造工程を示すために、図2A~図2Dに、種々の製造段階におけるパワーMOSFETパッケージ10の断面図を示す。最初にパワーMOSFETチップ12がパターン形成され、半導体ウェハから切取られる。第1のリード

フレームストリップ26が、銅合金或いは他の金属からなる半硬質の250ミクロン厚シートから打抜かれる。リードフレームストリップ26はソースリードアセンブリ18及びゲートリードアセンブリ20を含む。またリードフレームストリップ26はソースリードアセンブリ18及びゲートリードアセンブリ20を共に保持し、さらにリードフレームストリップ26を構造的に支持する接続部分(明示せず)を備える。またリードフレームストリップ26の接続部分は、ソースリードアセンブリ18及びゲートリードアセンブリ20を、パワーMOSFETパッケージ10と同時に製造されるいくつかの他のパワーMOSFETパッケージ(図示せず)用のソース及びゲートリードアセンブリに接続する。

【0019】図2Aでは電気的導電性接着剤19が、パワーMOSFETチップ12のソースコンタクト領域14及びゲートコンタクト領域16上に、別々に被着される。ここで記載される接着層19及び他の接着層は、例えば銀充填エポキシ或いはポリイミドベーストであってもよい。別法では接着層19は一連のハンダバンプ或いは他の電気的導電性接着材料からなる。その後リード

フレームストリップ26はチップ12の上側表面上で押圧され、リードフレームストリップ26のコンタクト領域18a及び20aが、それぞれソース及びゲートコンタクト領域14及び16に配列される。

【0020】図2Bではチップ12を反転し、第2の接着層23がチップ12の下側のドレンコンタクト領域上に被着される。第2の予備形成されたリードフレームストリップ32は、ドレンリードアセンブリ22及びいくつかの他のパワーMOSFETパッケージのドレンリードアセンブリとトレインリードアセンブリ22を接続することができる接続部分(図示せず)を備える。

リードフレームストリップ32のコンタクト領域22aはチップ12のドレンコンタクト領域に対して押圧される。リードフレームストリップ32は最初に、ドレンリード線22bがリードフレームストリップ26のソース及びゲートリード線18b及び20bとほぼ同一面上をなすように成形される。その後チップ12は図2Bに示される直立位置に再度反転される。その後接着層19及び23は、必要に応じて硬化炉内で硬化される。

【0021】上記ダイ取付過程に代わる方法として、チップ12の下側のドレンコンタクト領域上ではなく、

リードフレームストリップ32のコンタクト領域22a上に第2の接着層23を被着する方法がある。その後チップ12はリードフレームストリップ32に対して押圧され、リードフレームストリップ32のコンタクト領域22aがチップ12上のドレインコンタクト領域に配列される。さらに接着層19及び23は上記のように硬化炉内で硬化されてもよい。この代替のダイ取付過程では、ダイの取付けに前にチップ12を反転する必要がない。

【0022】接着層19及び23を硬化する前に、リードフレームストリップ26及び32の相対的な位置を保持するために、リードフレームストリップは溶接、圧縮め或いははんだ付けのように機械的に固定する方法を用いて互いに取着されることが好ましい。この取着によりリードアセンブリ18、20、及び22が、互いに接触してソースからドレイン或いはゲートからドレインへの短絡が発生するのを防ぐ。取着手段は、接着層19及び23が硬化した後、好ましくは以下に記載するトリミング及び形成過程前或いはその最中の任意の時点で除去されてもよい。

【0023】図2Cではチップ12は型内に配置され、プラスチック製封入体24がチップ12及びリードフレームストリップ26及び32部分の周囲に射出成形される。図2Dではリードフレームストリップ26はトリミングされ、リードフレームストリップの接続部分を除去し、それによりソースリード線18bをゲートリード線20bから分離し、ソース及びゲートリード線18b及び20bをリードフレームストリップ26により接続される他のパワーMOSFETパッケージのソース及びゲートリード線から分離する。同様にリードフレームストリップ32もトリミングされ、リードフレームストリップの接続部分を除去する。

【0024】またソース、ゲート及びドレインリード線18b、20b及び22bは、プリント回路基板上に面実装するためにガルウイング形状に成形される。上記トリミング及び形成過程は、リードフレームストリップ26及び32により接続されるチップ数を収容することができる単一のプレスにより同時に行われることが好ましい。

【0025】製造後、パワーMOSFETパッケージ10はプリント回路基板上に実装され、ソース、ゲート及びドレインリード線18b、20b及び22bが、プリント回路基板上の対応するコンタクト領域に配列される。標準的なはんだリフロープロセスを用いて、パワーMOSFETパッケージ10とプリント回路基板との間に剛性の構造的及び電気的コンタクトを与える。

【0026】上記のように、パワーMOSFETパッケージ10のソース、ゲート及びドレインリード線18b、20b及び22bは、プリント回路基板とパワーMOSFETパッケージ10との間の剛性の構造的及び電気的コンタクトを与える。

またリード線18b及び20bは従来のボンディングワイヤと異なり、プリント回路基板とパワーMOSFETチップ12の上側との間の熱的抵抗も低くする。それゆえリード線18b及び20bはパワーMOSFETチップ12の上側に冷却能を与えるように冷却され、熱の大部分がパワーMOSFETパッケージ10において発生する。

【0027】図3A及び図3Bでは、本発明に従って構成された第2のパワーMOSFETパッケージ40が、10それぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ40は、パワーMOSFETパッケージ10と同様に、共通のコンタクト領域により駆動されるパワーMOSFETチップ42を備える。チップ42の上側のソースコンタクト領域44及びゲートコンタクト領域46は、アルミニウム、ニッケル或いは銅のような導電性金属から形成される金属配線層でそれぞれ覆われる。同様にチップ42の下側のドレインコンタクト領域(図示せず)も金属配線層で覆われる。

【0028】ソースリードアセンブリ48はチップ42のソースコンタクト領域44と接触するコンタクト領域48aを備える。ソースリードアセンブリ48のコンタクト領域48aは、電気的導電性接着層49によりチップ42のソースコンタクト領域44と接続状態に保持される。3本のソースリード線48bはコンタクト領域48aから延在し、プリント回路基板との電気的コンタクトを与える。

【0029】ソースリードアセンブリ48のコンタクト領域48aはソースコンタクト領域44の大部分との電気的コンタクトを保持する。コンタクト領域48a及び30ソースリード線48bは、例えば250ミクロン(約0.01インチ)の厚さを有する銅合金のような金属のシートから形成される。アルミニウムのような他の電気的導電性金属がソースリードアセンブリ48に対して用いられてもよい。

【0030】コンタクト領域48aはソースコンタクト領域44を形成する金属配線層より厚いため、コンタクト領域48aはソースコンタクト領域44より小さな抵抗分布をもたらす。それゆえコンタクト領域48aは、ソースコンタクト領域44の表面間の電圧降下を排除或いは低減することができるが、そうでなければ、従来のボンディングワイヤコンタクトのような小さな領域のコンタクトを用いて、ソースコンタクト領域44の部分を電気的に接続する場合、電圧降下が生じてしまうであろう。またソースリード線48bは従来のボンディングワイヤより低い電気的抵抗を与え、それによりパワーMOSFETパッケージ40のパッケージ抵抗を著しく低減する。

【0031】ソースリードアセンブリ48と同様に、ゲートリードアセンブリ50はチップ42のゲートコンタクト領域46と接続するコンタクト領域50aを備え

る。ゲートリードアセンブリ50のコンタクト領域50aは、電気的導電性接着層(図示せず)によりチップ42のゲートコンタクト領域46と接続状態に保持される。1本のゲートリード線50bがコンタクト領域50aから延在し、プリント回路基板との電気的コンタクトを与える。同様に、ドレインリードアセンブリ52はチップ42の下側のドレインコンタクト領域と接触するコンタクト領域52a及びコンタクト領域52aから延在する4本のドレインリード線52bを備え、プリント回路基板との電気的コンタクトを与える。ドレインリードアセンブリ52のコンタクト領域52aは、電気的導電性接着層53によりチップ42のドレインコンタクト領域と接続状態に保持される。

【0032】プラスチック製封入体54は、チップ42、リードアセンブリ48、50及び52のコンタクト領域48a、50a及び52a、並びにリードアセンブリ48、50及び52のリード線部分48b、50b及び52bを封入する。封入体54はチップ42を外部から電気的及び熱的に絶縁し、同時にパワーMOSFETパッケージ40に構造的な支持及び剛性を与える。封入体54はエポキシノボラック系成形材料のような任意の既知のプラスチック製封入体であってよい。封入体54は、リード線48b、50b及び52bの大部分を封入し、リードレスチップキャリアタイプのパッケージを形成する。

【0033】パワーMOSFETパッケージ10と異なり、パワーMOSFETパッケージ40は、リード線48b、50b及び52bをほぼ完全に封入する封入体54を備える。それゆえパワーMOSFETパッケージ40は、リード線48b、50b及び52bの面実装コンタクト領域と同一平面をなす下側封入体表面54aを有する。

【0034】パワーMOSFETパッケージ40の製造はパワーMOSFETパッケージ10の製造と同様であり、それゆえ詳述はしないであろう。2つの製造工程間で1つ異なる点は、パワーMOSFETパッケージ40のリードアセンブリ48、50及び52がチップ42に取着される前に、ガルウイング状に予備形成されるという点である。こうしてパワーMOSFETパッケージ10の場合に上記したトリミング及び形成過程は、リード線48b、50b及び52bを成形せず、余剰の材料及び接続部分をパワーMOSFETパッケージ40のそれぞれのリードフレームストリップから除去することのみが必要とされる。さらにパワーMOSFETパッケージ40の場合の封入過程は、下側封入体表面がリード線48b、50b及び52bの面実装コンタクト領域と同一平面上に形成され、同時に後にプリント回路基板に取着するために面実装コンタクト領域を露出するように行わなければならない。

【0035】図4A及び図4Bでは、本発明に従って構

成された第3のパワーMOSFETパッケージ60が、それぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ60は、パワーMOSFETパッケージ10及び40と同様に、共通のコンタクト領域により駆動されるパワーMOSFETチップ62を備える。チップ62の上側のソースコンタクト領域64及びゲートコンタクト領域66は、アルミニウム、ニッケル、或いは銅のような導電性金属から形成される金属配線層でそれぞれ覆われる。同様に、チップ62の下側のドレイン

10 コンタクト領域(図示せず)も金属配線層で覆われる。

【0036】ソースリードアセンブリ68はチップ62のソースコンタクト領域64と接触するコンタクト領域68aを備える。ソースリードアセンブリ68のコンタクト領域68aは、電気的導電性接着層69によりチップ62のソースコンタクト領域64と接続状態に保持される。3本のソースリード線68bはコンタクト領域68aから延在し、プリント回路基板との電気的コンタクトを与える。

【0037】ソースリードアセンブリ68のコンタクト領域68aはソースコンタクト領域64の大部分との電気的コンタクトを保持する。コンタクト領域68a及びソースリード線68bは、例えば250ミクロン(約0.01インチ)の厚さを有する銅合金のような金属のシートから形成される。アルミニウムのような他の電気的導電性金属がソースリードアセンブリ68に対して用いられてもよい。

【0038】コンタクト領域68aがソースコンタクト領域64を形成する金属配線層より厚いため、コンタクト領域68aはソースコンタクト領域64よりも小さい分布抵抗をもたらす。それゆえコンタクト領域68aは、ソースコンタクト領域64の表面間の電圧降下を排除或いは低減することができるが、そうでなければ、従来のボンディングワイヤコンタクトのような小さな領域のコンタクトを用いて、ソースコンタクト領域64の一部と電気的に接続する場合、電圧降下が生じてしまうであろう。またソースリード線68bは従来のボンディングワイヤより低い電気的抵抗を与え、それによりパワーMOSFETパッケージ60のパッケージ抵抗を著しく低減する。

【0039】ソースリードアセンブリ68と同様に、ゲートリードアセンブリ70はチップ62のゲートコンタクト領域66と接触するコンタクト領域70aを備える。ゲートリードアセンブリ70のコンタクト領域70aは、電気的導電性接着層(図示せず)によりチップ62のゲートコンタクト領域66と接続状態に保持される。1本のゲートリード線70bはコンタクト領域70aから延在し、プリント回路基板との電気的コンタクトを与える。同様にドレインリードアセンブリ72はチップ62の下側のドレインコンタクト領域と接続するコンタクト領域72a及びコンタクト領域72aから延在す

50 タクト領域72a及びコンタクト領域72aから延在す

る4本のドレインリード線72bを備え、プリント回路基板との電気的コンタクトを与える。ドレインリードアセンブリ72のコンタクト領域72aは電気的導電性接着層73によるチップ62のドレインコンタクト領域と接触状態に保持される。

【0040】プラスチック製封入体74は、チップ62、リードアセンブリ68、70及び72のコンタクト領域68a、70a及び72a、並びにリードアセンブリ68、70及び72のリード線部分68b、70b及び72bを封入する。封入体74はチップ62を外部から電気的及び熱的に絶縁し、同時にパワーMOSFETパッケージ60に構造的な支持及び剛性を与える。封入体74はエポキシノボラック系成形材料のような任意の既知のプラスチック製封入体であってよい。

【0041】パワーMOSFETパッケージ10及び40と異なり、パワーMOSFETパッケージ60は、下側封入体表面74aと同一平面をなす下側表面72cを有するドレインリードアセンブリ72を備える。ドレインリードアセンブリ72の全下側表面72cは露出され、プリント回路基板に取着するための大きな電気的及び熱的コンタクト領域をもたらす。

【0042】パワーMOSFETパッケージ60の製造工程が図5A～図5Dに示される。最初にリードフレームストリップ76が銅合金或いは他の金属からなる半硬質の250ミクロン厚シートから打抜かれる。リードフレームストリップ76はソースリードアセンブリ68及びゲートリードアセンブリ70を備える。またリードフレームストリップ76は、ソースリードアセンブリ68及びゲートリードアセンブリ70と共に保持する接続部分（明示せず）を備え、リードフレームストリップ76に対する構造的な支持を与える。リードフレームストリップ76の接続部分は、ソースリードアセンブリ68及びゲートリードアセンブリ70を、パワーMOSFETパッケージ10と同時に製造される場合があるいくつかの他のパワーMOSFETパッケージ（図示せず）のソース及びゲートリードアセンブリに接続することができる。

【0043】図5Aでは、電気的導電性接着層69が、パワーMOSFETチップ62のソースコンタクト領域64及びゲートコンタクト領域66上に、別々に被着される。接着層69は、例えば銀充填エポキシ或いはポリイミドペーストであってよい。その後リードフレームストリップ76はチップ62の上側表面上で押圧され、リードフレームストリップ76上のコンタクト領域68a及び70aがそれぞれソース及びゲートコンタクト領域64及び66に配列される。

【0044】図5Bではチップ62は反転され、第2の接着層73がチップ62の下側のドレインコンタクト領域上に被着される。第2の予備形成されたリードフレームストリップ76はソース及びゲートリード線68b及び70bをリードフレームストリップ76により接続される任意の他のパワーMOSFETパッケージのソース及びゲートリード線から分離する。同様にリードフレームストリップ78はトリミングされ、リードフレームストリップの接続部分を除去する。

【0045】上記のダイ取付過程に代わる方法は、チップ62の下側のドレインコンタクト領域上ではなく、リードフレームストリップ78のコンタクト領域72上に第2の接着層73を被着することである。その後チップ62はリードフレームストリップ78に対して押圧され、リードフレームストリップ78のコンタクト領域72aがチップ62のドレインコンタクト領域に配列される。接着層69及び73は上記のように硬化炉内で硬化されてもよい。この代替のダイ取付過程は、リードフレームストリップ78の取着前にチップ62を反転する必要がない。

【0046】接着層69及び73の硬化前に、リードフレームストリップ76及び78の相対的な位置を保持するために、リードフレームストリップは圧縮め、溶接或いははんだ付けのような機械的に固定する方法で互いに取着されることが好ましい。この取着により、リードアセンブリ68、70及び72が互いに接触して、ソースからドレイン或いはゲートからドレインへの短絡が発生するのを防止する。取着手段は、接着層69及び73を硬化した後、好ましくは以下に記載するトリミング及び形成過程前或いはその最中の任意の時点で除去されてもよい。

【0047】図5Cではチップ62が型内に配置され、プラスチック製封入体74がチップ62及びリードフレームストリップ76及び78の部分の周囲に射出成形される。ドレインリードアセンブリ72の全下側表面がプリント回路基板上に実装するために露出したまま残される。

【0048】図5Dではリードフレームストリップ76がトリミングされ、リードフレームストリップの接続部分を除去し、それによりソースリード線68bをゲートリード線70bから分離し、さらにソース及びゲートリード線68b及び70bをリードフレームストリップ76により接続される任意の他のパワーMOSFETパッケージのソース及びゲートリード線から分離する。同様にリードフレームストリップ78はトリミングされ、リードフレームストリップの接続部分を除去する。

【0049】またソース及びゲートリード線68b及び70bは、プリント回路基板上に面実装するためにガル

ウイング形状に成形される。リード線68b及び70bの先端部はドレインリードアセンブリ72と同一平面をなすように形成される。上記トリミング及び形成過程は、リードフレームストリップ76及び78により接続されるチップ数を収容することができる单一のプレスにより同時に行われることが好ましい。

【0050】製造後パワーMOSFETパッケージ60はプリント回路基板上に実装され、ソース及びゲートリード線68b及び70b並びにドレインリードアセンブリ72がプリント回路基板上の対応するコンタクト領域に配列されるようになる。標準的なはんだリフロープロセスを用いて、パワーMOSFETパッケージ60とプリント回路基板との間に硬質の構造的及び電気的コンタクトを設けることができる。

【0051】図6A及び図6Bでは、本発明に従って構成される4つのパワーMOSFETパッケージ80が、それぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ80は、パワーMOSFETパッケージ10、40及び60と同様に、共通なコンタクト領域により駆動されるパワーMOSFETチップ82を備える。

【0052】しかしながらパワーMOSFETチップ82は、パワーMOSFETチップ82のMOSFETが並列には接続されないため、上記のパワーMOSFETチップとは異なる。その代わりにパワーMOSFETチップ82のMOSFETは2つのグループに分割される。第1のグループのMOSFETは、チップ82の上側に金属配線共通ソースコンタクト領域84及び金属配線共通ゲートコンタクト領域85を備える。また第1のグループのMOSFETは、共通ドレイン(図示せず)も備え、それは例えばチップ82の下側に金属配線層として実装されてもよい。上記の各金属配線層はアルミニウム、ニッケル或いは銅のような導電性金属から形成される。

【0053】第2のグループのMOSFETは、チップ82の上側に金属配線共通ソースコンタクト領域86及び金属配線共通ゲートコンタクト領域87を備える。また第2のグループのMOSFETは、第1のグループのMOSFETと共有される共通ドレイン(図示せず)も備える。こうして2つのグループのMOSFETは、共通ドレイン接続部を介して直列に接続される2つのパワーMOSFETデバイスを効率的に形成する。2つのMOSFETデバイスは2つの個別ゲートにより個々に制御される。

【0054】第1のソースリードアセンブリ87は、チップ82の第1のソースコンタクト領域84と接触するコンタクト領域87aを備える。ソースリードアセンブリ87のコンタクト領域87aは、電気的導電性接着層89によりチップ82のソースコンタクト領域84と接觸状態に保持される。2つのソースリード線87bはチ

ップ82の各側のコンタクト領域87aから延在し、プリント回路基板との電気的コンタクトを与える。

【0055】ソースリードアセンブリ87のコンタクト領域87aは、ソースコンタクト領域84の大部分との電気的コンタクトを保持する。コンタクト領域87a及びソースリード線87bは、例えば250ミクロン(約0.01インチ)の厚さを有する銅合金のような金属のシートから形成される。アルミニウムのような他の電気的導電性金属がソースリードアセンブリ87に用いられてもよい。

【0056】コンタクト領域87aはソースコンタクト領域84を形成する金属配線層より厚いため、コンタクト領域87aはソースコンタクト領域84より小さな分布抵抗をもたらす。それゆえコンタクト領域87aはソースコンタクト領域84の表面間の電圧降下を排除或いは低減することができるが、そうでなければ、従来のボンディングワイヤコンタクトのような小さな領域のコンタクトを用いて、ソースコンタクト領域84の一部と電気的に接続する場合、電圧降下が生じてしまうであろう。またソースリード線87bは従来のボンディングワイヤより低い電気的抵抗を与え、それによりパワーMOSFETパッケージ80のパッケージ抵抗を著しく低減する。

【0057】ソースリードアセンブリ87と同様に、ゲートリードアセンブリ88はチップ82のゲートコンタクト領域86と接觸するコンタクト領域88aを備える。ゲートリードアセンブリ88のコンタクト領域88aは、電気的導電性接着層(図示せず)によりチップ82のゲートコンタクト領域86と接觸状態に保持される。2つのゲートリード線88bはチップ82の各側のコンタクト領域88aから延在し、プリント回路基板との電気的コンタクトを与える。

【0058】同様に、ソースリードアセンブリ90及びゲートリードアセンブリ91はそれぞれソース及びゲートコンタクト領域86及び87に接続される。各リードアセンブリはチップ82の何れか一方の側まで延在するリード線を備える。

【0059】プラスチック製封入体94がチップ82及びリードアセンブリ部分87、88、90及び91を封入する。封入体94はチップ82を外部から電気的及び熱的に絶縁し、同時にパワーMOSFETパッケージ80に構造的な支持及び剛性を与える。封入体94はエポキシノボラック系成形材料のような任意の既知のプラスチック製封入体であってよい。

【0060】パワーMOSFETパッケージ80の製造工程が図7A～図7Cに示される。最初にリードフレームストリップ96が銅合金或いは他の金属からなる半硬質の250ミクロン厚シートから打抜かれる。リードフレームストリップ96はリードアセンブリ87及び90並びにゲートリードアセンブリ88及び91を備える。

またリードフレームストリップ96は、上記リードアセンブリと共に保持し、リードフレームストリップ96に対する構造的な支持を与える接続部分（明示せず）を備える。またリードフレームストリップ96の接続部分は、リードアセンブリ87、88、90、91を、パワーMOSFETパッケージ10と同時に製造される場合もあるいくつかの他のパワーMOSFETパッケージ（図示せず）のソース及びゲートリードアセンブリに接続することができる。

【0061】図7Aでは、電気的導電性接着層89が、パワーMOSFETチップ82のソースコンタクト領域84及びソースコンタクト領域86並びにゲートコンタクト領域85及び87上に個別に被着される。接着層89は、例えば銀充填エポキシ或いはポリイミドベーストであってよい。その後リードフレームストリップ96はチップ82の上側表面上に押圧され、リードアセンブリ87、88、90及び91のコンタクト領域がそれぞれのソース及びゲートコンタクト領域に配列される。その後接着層89は必要に応じて硬化炉内で硬化される。

【0062】図7Bではチップ82が型内に配置され、プラスチック製封入体94がチップ82及びリードフレームストリップ96部分の周囲に射出成形される。図7Cではリードフレームストリップ96はトリミングされ、リードフレームストリップの接続部分を除去し、それによりリードアセンブリ87、88、90及び91を互いから、さらにリードフレームストリップ96により接続される任意の他のパワーMOSFETパッケージのソース及びゲートリード線から分離する。

【0063】またソース及びゲートリード線87b、88b、90b及び91bはプリント回路基板上に面実装するためにガルウイング状に形成される。上記トリミング及び形成過程は、リードフレームストリップ96により接続されるチップ数を収容することができる単一のプレスにより同時に行われることが好ましい。

【0064】製造後、パワーMOSFETパッケージ80はプリント回路基板上に実装され、ソース及びゲートリード線87b、88b、90b及び91bがプリント回路基板上の対応するコンタクト領域に配列されることができる。標準的なはんだリフロープロセスを用いて、パワーMOSFETパッケージ80とプリント回路基板との間に硬質の構造的及び電気的コンタクトを与えることができる。

【0065】図8A及び図8Bでは、本発明に従って構成される第5のパワーMOSFETパッケージ100が、それぞれ平面図及び断面図にて示される。パワーMOSFETパッケージ100はパワーMOSFETパッケージ80に対する設計と同様であり、それゆえ詳細には記載されないのであろう。

【0066】パワーMOSFETパッケージ100とパワーMOSFETパッケージ80との間で1つ異なる点

は、ソース及びゲートコンタクト領域（図示せず）がパワーMOSFETチップ102の下側にあるという点である。ソース及びゲートリードアセンブリ103はそれゆえチップ102の下側に取着される。

【0067】パワーMOSFETパッケージ100とパワーMOSFET80との間で他の異なる点は、パワーMOSFETパッケージ100の封入体104が、ソース及びゲートリードアセンブリ103のさらに大きな部分を封入し、リードレスチップキャリアタイプのパッケージを形成するという点である。

【0068】パワーMOSFETパッケージ100とパワーMOSFETパッケージ80との間でさらに異なる点は、ソース及びゲートリードアセンブリ103がそれぞれ半分に分離されるという点である。それゆえ各リードアセンブリは、2つの個別のコンタクト領域を備え、図8Bに示されるように各コンタクト領域がそこから延在する1本のリード線を備える。リードアセンブリ103のいずれのコンタクト領域も、チップ102下側にソース或いはゲートコンタクト領域を形成する単一の連続的な金属配線層と接触する。またこの後者の特性のパワーMOSFETパッケージ100は、パワーMOSFETパッケージ80のような形状に実装され、ソース及びゲートコンタクト領域がパワーMOSFETチップ82の上側に存在する。

【0069】ここに記載される種々の実施例は、従来のリード線或いはリードレスICパッケージより優れたいくつかの利点を有する。第1に、ここに記載されたパッケージは、リード線が従来のボンディングワイヤより低い抵抗を有し、さらにリード線がチップ上のそれぞれのコンタクト表面の大部分と接触し、コンタクト表面を効率的に短絡するため、パッケージが関与する電気的抵抗が低くなる。

【0070】第2にここに記載されるパッケージは、チップの上側からプリント回路基板まで良好な熱伝導をもたらし、熱の大部分が発生するチップの上側を冷却することができる。良好な熱伝導はリード線とチップとの間の良好な熱的コンタクト及びリード線の低い熱抵抗により可能となる。

【0071】第3にここで記載されるパッケージは全般的に、チップより小さいコンタクト領域を有するリードフレームを用いる。これは、チップがチップより大きい表面を有するダイパッドに結合される従来のICパッケージと対照的である。ここに記載されるより小さいサイズのリードフレームにより、所与のチップサイズに対するパッケージサイズをより小さくすることができ、それによりプリント回路基板或いは他のチップ環境において利用可能な限られた表面積をより効率的に利用することができる。他の利点はICパッケージ製造及び実装にかかる当業者には明らかであろう。

【0072】本発明及びその利点が詳細に記載されてき

たが、種々の変形例、代替例及び変更例が添付の請求の範囲により画定される本発明の精神及び範囲から逸脱することなく行われることができるということは理解されたい。

【0073】

【発明の効果】本発明によれば、パッケージ関与するオブジ抵抗を低減し、チップ上側からプリント基板に対して良好に放熱し、さらにパッケージサイズを小型化できる半導体デバイスを実現することができる。

【図面の簡単な説明】

【図1】A及びBからなり、Aは本発明の1つの実施例に従って構成された第1のパワーMOSFETパッケージの平面図であり、Bは第1のパワーMOSFETパッケージの断面図である。

【図2】A乃至Dからなり、それぞれ種々の製造段階における第1のパワーMOSFETパッケージの断面図である。

【図3】A及びBからなり、Aは本発明の1つの実施例に従って構成された第2のパワーMOSFETパッケージの平面図であり、Bは第2のパワーMOSFETパッケージの断面図である。

【図4】A及びBからなり、Aは本発明の1つの実施例に従って構成された第3のパワーMOSFETパッケージの平面図であり、Bは第3のパワーMOSFETパッケージの断面図である。

【図5】A乃至Dからなり、それぞれ種々の製造段階における第3のパワーMOSFETパッケージの断面図である。

【図6】A及びBからなり、Aは本発明の1つの実施例に従って構成された第4のパワーMOSFETパッケージの平面図であり、Bは第4のパワーMOSFETパッケージの断面図である。

【図7】A乃至Cからなり、それぞれ種々の製造段階における第4のパワーMOSFETパッケージの断面図である。

【図8】A及びBからなり、Aは本発明の1つの実施例に従って構成された第5のパワーMOSFETパッケージの平面図であり、Bは第5のパワーMOSFETパッケージの断面図である。

【符号の説明】

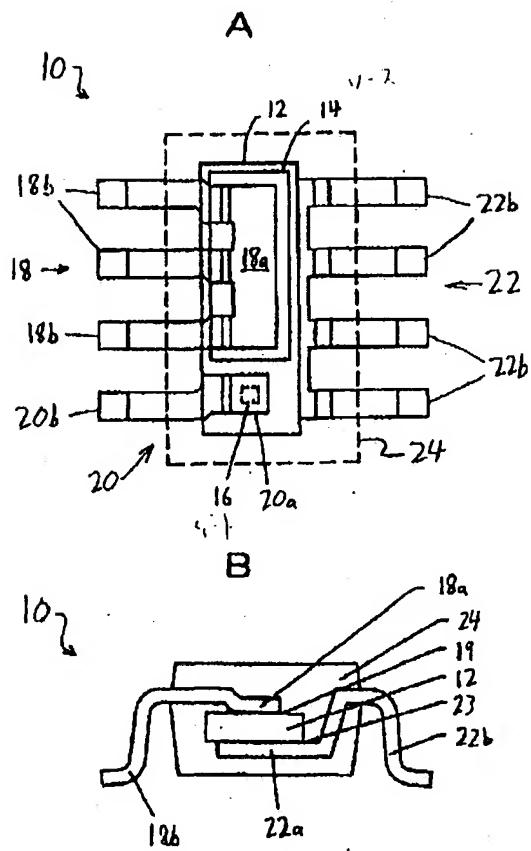
- 10 パワーMOSFETパッケージ
- 12 パワーMOSFETチップ
- 14 ソースコンタクト領域
- 16 ゲートコンタクト領域
- 18 ソースリードアセンブリ
- 18a コンタクト領域
- 18b ソースリード線
- 19 接着層
- 20 ゲートリードアセンブリ
- 22 ドレインリードアセンブリ

- 22a コンタクト領域
- 22b ドレインリード線
- 23 接着層
- 24 プラスチック製封入体
- 26、32 リードフレームストリップ
- 40 パワーMOSFETパッケージ
- 42 パワーMOSFETチップ
- 44 ソースコンタクト領域
- 46 ゲートコンタクト領域
- 10 48 ソースリードアセンブリ
- 48a コンタクト領域
- 48b ソースリード線
- 49 接着層
- 50 ゲートリードアセンブリ
- 50a コンタクト領域
- 50b ゲートリード線
- 52 ドレインリードアセンブリ
- 52a コンタクト領域
- 52b ドレインリード線
- 20 53 接着層
- 54 封入体
- 60 パワーMOSFETパッケージ
- 62 パワーMOSFETチップ
- 64 ソースコンタクト領域
- 66 ゲートコンタクト領域
- 68 ソースリードアセンブリ
- 68a コンタクト領域
- 68b ソースリード線
- 69 接着層
- 30 70 ゲートリードアセンブリ
- 70a コンタクト領域
- 70b ゲートリード線
- 72 ドレインリードアセンブリ
- 72a コンタクト領域
- 72b ドレインリード線
- 72c 下側表面
- 73 接着層
- 74 封入体
- 74a 下側封入体表面
- 40 76、78 リードフレームストリップ
- 80 パワーMOSFETパッケージ
- 82 パワーMOSFETチップ
- 84 共通ソースコンタクト領域
- 85 共通ゲートコンタクト領域
- 86 共通ソースコンタクト領域
- 87 第1のソースリードアセンブリ
- 87a コンタクト領域
- 87b ソースリード線
- 88 ゲートリードアセンブリ
- 50 88a コンタクト領域

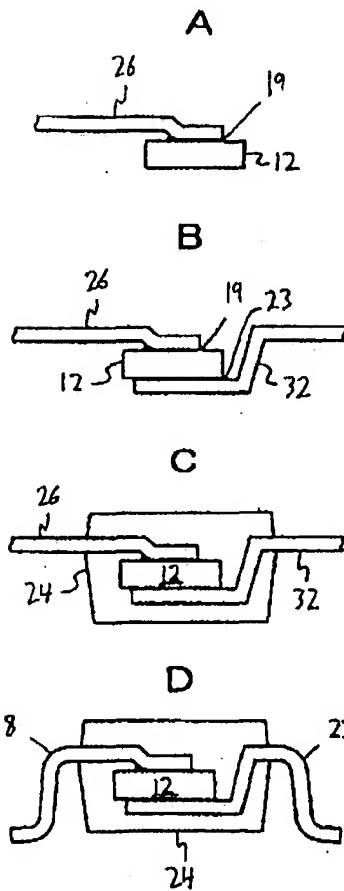
- 88b ゲートリード線
89 接着層
90 ソースリードアセンブリ
91 ゲートリードアセンブリ
94 封入体

- 96 リードフレームストリップ
100 パワーMOSFETパッケージ
102 パワーMOSFETチップ
103 ゲートリードアセンブリ
104 封入体

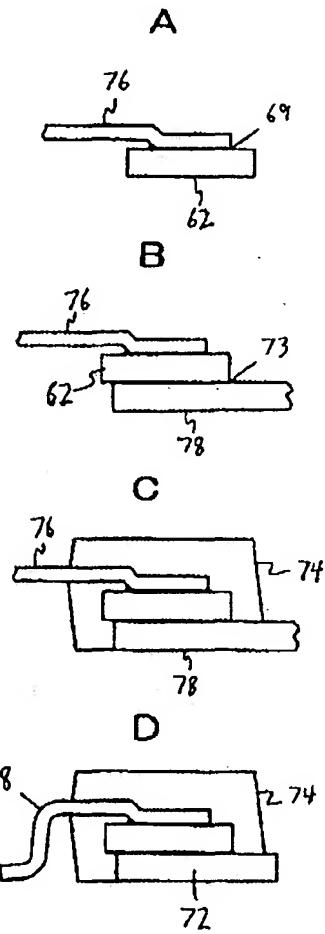
【図1】



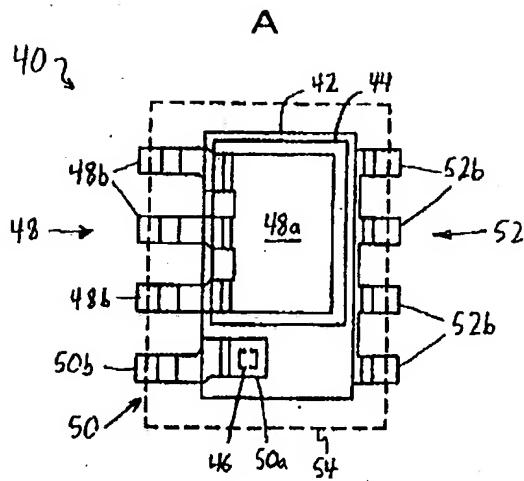
【図2】



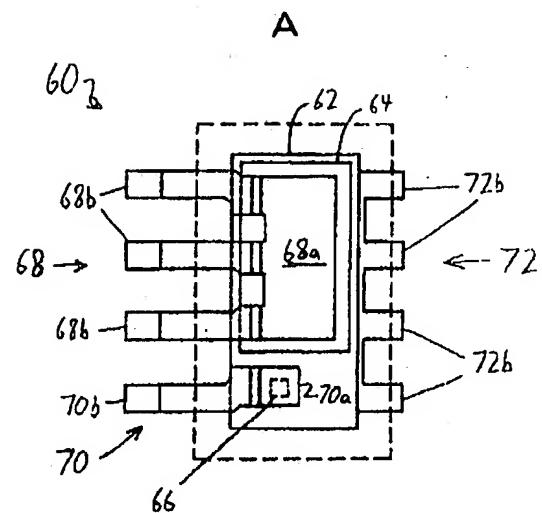
【図5】



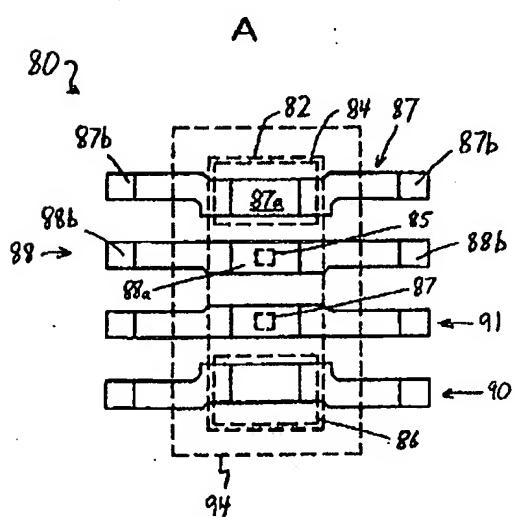
【図3】



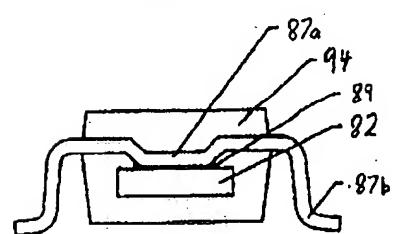
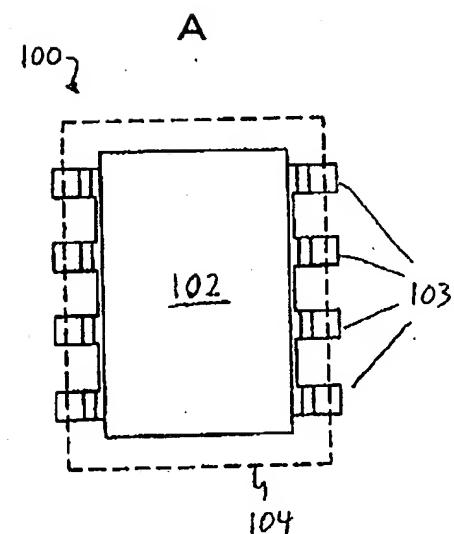
【図4】



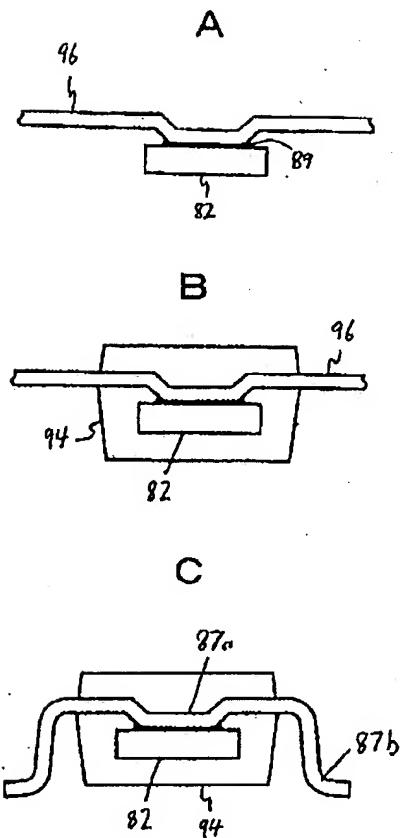
【図6】



【図8】



【図7】



【手続補正書】

【提出日】平成11年6月21日

【手続補正1】

【補正対象書類名】図面

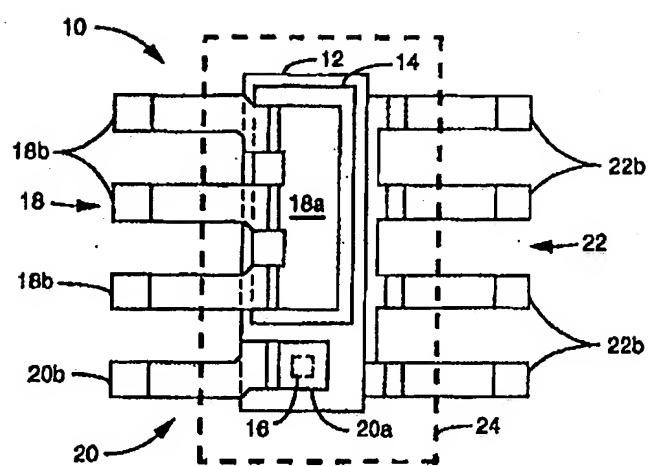
【補正対象項目名】全図

【補正方法】変更

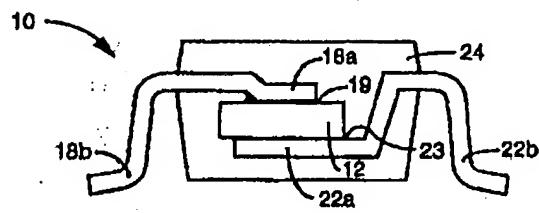
【補正内容】

【図1】

A



B

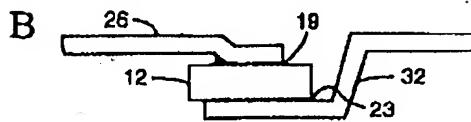


【図2】

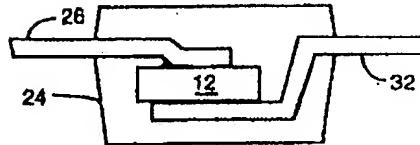
A



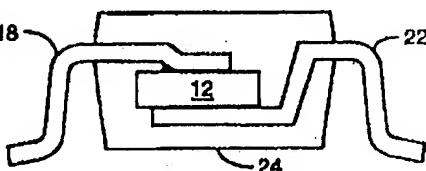
B



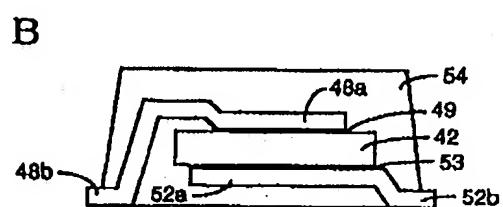
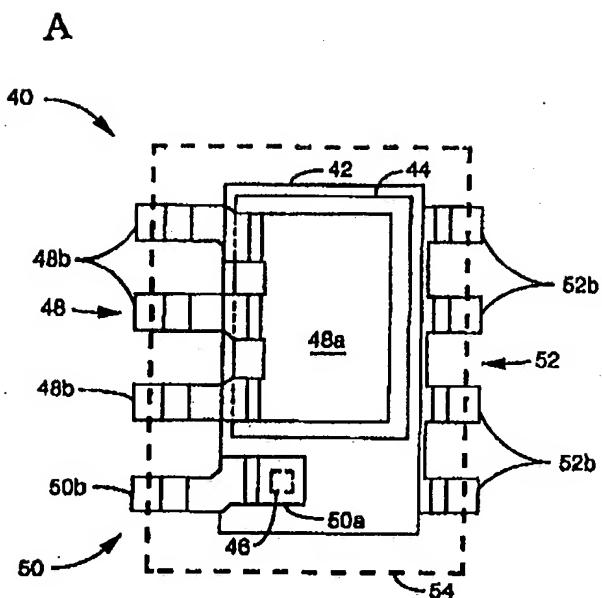
C



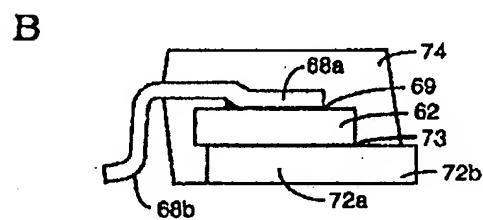
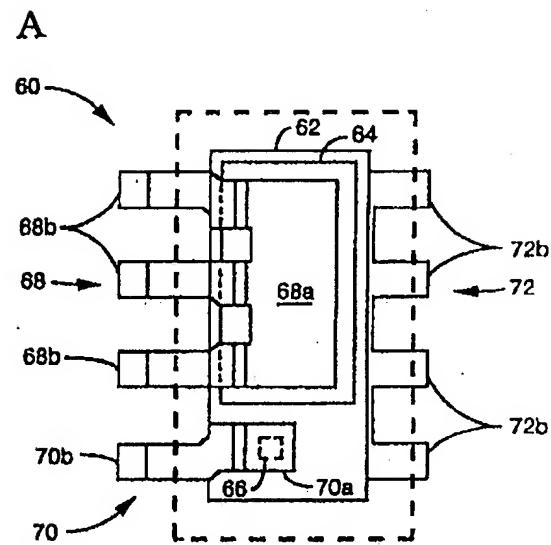
D



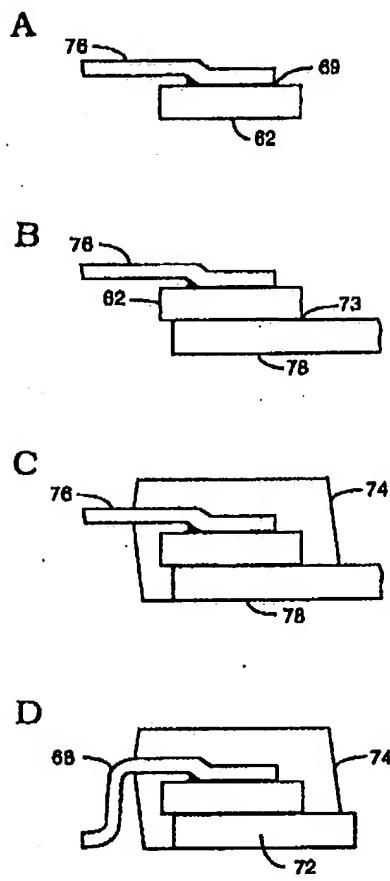
【図3】



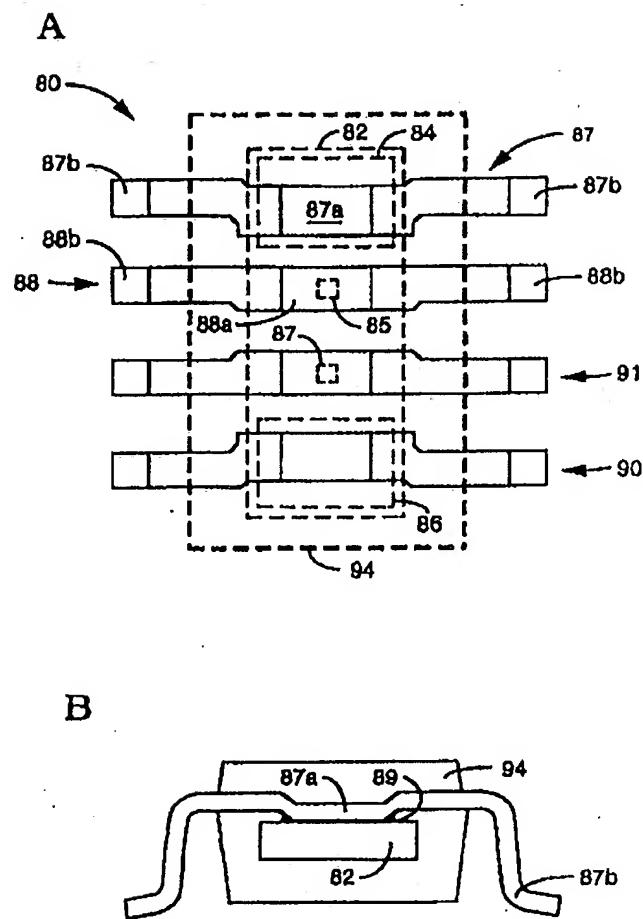
【図4】



【図5】

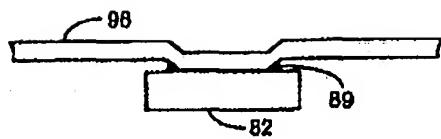


【図6】

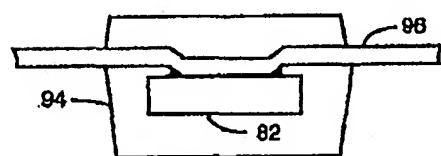


【図7】

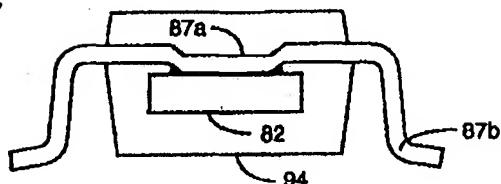
A



B

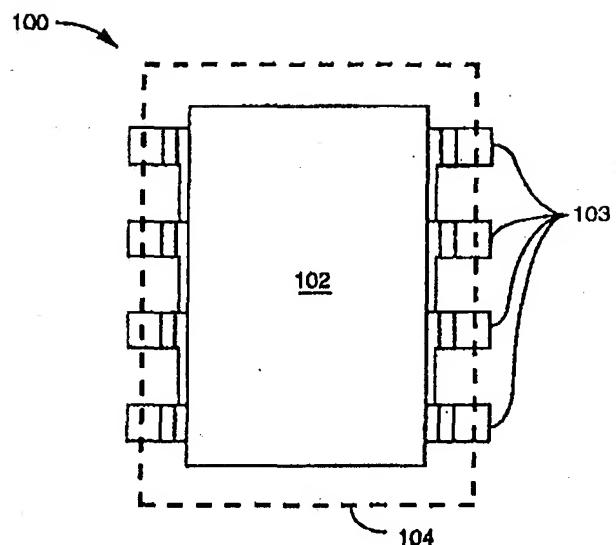


C

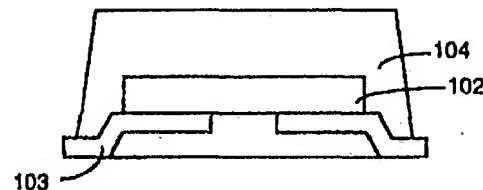


【図8】

A



B



フロントページの続き

(72)発明者 アンソニー・シー・ツイ
アメリカ合衆国カリフォルニア州95070・
サラトガ・ケンブリッジドライブ 12646

(72)発明者 リソング・ラオ
アメリカ合衆国カリフォルニア州95129・
サンノゼ・ハンティングドライブ 1097
(72)発明者 ユエーセ・ホー
アメリカ合衆国カリフォルニア州94086・
サニーベイル・アイリスアベニュー 735